

## ⑪ 公開特許公報 (A) 平3-228377

⑤Int.Cl.  
H 01 L 29/788  
27/04  
27/115  
29/792

識別記号 A  
府内整理番号 7514-5F

③公開 平成3年(1991)10月9日

7514-5F H 01 L 29/78 371  
8831-5F 27/10 434

審査請求 有 請求項の数 1 (全8頁)

## ④発明の名称 半導体装置

②特 願 平2-22123

②出 願 平2(1990)2月2日

⑦発明者 吉田 正之 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑦発明者 佐伯 幸弘 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑦発明者 品田 一義 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑦出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地  
⑦代理人 弁理士則近 憲佑 外1名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

少なくとも2本以上のロードレスに接続されているセルの全部を同時に消去するE<sup>2</sup> PROMからなる第1の記憶領域と、1本のロードレスに接続されているセルの全部または一部を同時に消去するE<sup>2</sup> PROMからなる第2の記憶領域とを具備することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## [発明の目的]

## (産業上の利用分野)

この発明は、不揮発性半導体装置に関する。

## (従来の技術)

第4図に示すように、従来、1チップマイクロコンピュータ70には、演算を司るCPU(Central Processing Unit)71、比較的大容量(数K~数十Kバイト)のプログラムデータを記憶するプログラムメモリと、比較的小容量(1Kビット

程度)の数値データを記憶するデータメモリ、更に、割り込みコントローラ部72、タイマ部(図示せず)などが搭載されている。プログラムメモリとして、Mask ROM(マスクプログラム可能な読み出し専用メモリ)73が、データメモリとしてSRAM(Static Random Access read write Memory)74が用いられている。これは、プログラムメモリの内容であるプログラムデータは数値データに比べて大容量であるが書き替えの頻度が少なく、データメモリの内容である数値データは、プログラムデータに比べて書き替えの頻度が多く、部分的な書き替えが要求されるという考え方に基づいている。また、この他には、プログラムメモリにMask ROMをデータメモリにE<sup>2</sup> PROM(ElectricallyErasable Programmable Read Only Memory)を用いたもの、プログラムメモリにE PROM(Erasable Programmable Read Only Memory)をデータメモリにSRAMを用いたもの、プログラムメモリにE PROMをデータメモリにE<sup>2</sup> PROMを用いたもの、あるいは、プロ

グラムメモリにもデータメモリにも E<sup>2</sup> PROM を用いる場合があった。しかし、上記のようなプログラムメモリとデータメモリの組み合わせを用いて実現した 1 チップマイクロコンピュータでは以下に示すような問題点があった。

第 1 に、プログラムメモリに Mask ROM を用いたマイクロコンピュータでは、プログラムデータが集積回路の製造工程中に造り込まれる。このデータの造り込みは、ガラスマスクによって行われるため、ユーザがプログラムを確定してから、製品を入手するまでの期間が長い。また、もしプログラムに不具合が見出された場合、その Mask ROM は、修正することができないため、製品をすべて廃棄せねばならなくなる。当然、データを書き替えることは不可能であり、マイクロコンピュータは汎用性の低い製品となる。

第 2 に、プログラムメモリに EEPROM を用いたマイクロコンピュータでは、メモリの内容を消去するためにパッケージに窓を付け、チップに紫外線を照射する必要がある。この場合、窓付き

バックアップが必要である。また、通常、SRAM は 1 セル当たり（1 ピットを記憶するために）、6 つのトランジスタが必要であり、データメモリ部分のチップ面積が大きくなってしまう。

第 4 に、プログラムメモリに E<sup>2</sup> PROM を用いた場合には、E<sup>2</sup> PROM は SRAM と比較すれば 1 セル当たりのチップ面積は小さいが、それでもプログラムメモリは比較的大容量があるので、マイクロコンピュータとしてのチップは大きくなってしまう。つまり、1 チップマイクロコンピュータのプログラムメモリとして E<sup>2</sup> PROM を用いた場合には、大容量のプログラムメモリを実現することができなかった。

#### (発明が解決しようとする課題)

本発明は、上記のような点に鑑み、大容量で、かつ、部分的な書き替えの必要がないデータと、比較的小容量で、かつ、部分的に（1 バイト～数バイト単位で）書き替えが必要なデータとを記憶可能で、かつ、バッテリによるバックアップを必要としない半導体装置を低コストで提供すること

セラミックパッケージは通常のプラスチックパッケージに比べて高価であり、コスト高となる。更に、マイクロコンピュータがシステムに組み込まれたまま、あるいは、動作状態では、メモリの内容の書き替えが不可能であり、書き替えの際にマイクロコンピュータチップあるいはマイクロコンピュータチップが搭載されたボードを取り出す必要があり、書き替えに要する時間が長くなってしまう。また、同一チップ上に E<sup>2</sup> PROM が混載されている場合には、EEPROM の内容だけを消去することが不可能である。例えば、EEPROM の内容であるプログラムデータのみを書き替えた場合でも、EEPROM の内容である数値データも同時に消去されてしまう。更に、集積回路では、信頼性試験のため書き込み・消去を繰り返しテストする必要があるが、EEPROM は紫外線により内容を消去するため、テスト時間が長くなる。

第 3 に、データメモリとして SRAM を用いた場合には、SRAM は電源が常に印加されていないと内容が保持できないため、バッテリによる

を目的とする。

#### [発明の構成]

##### (課題を解決するための手段)

上記目的を解決するために、本発明による半導体装置は、少なくとも 2 本以上のロードレスに接続されているセルの全部を同時に消去する E<sup>2</sup> PROM からなる第 1 の記憶領域と、1 本のロードレスに接続されているセルの全部または一部を同時に消去する E<sup>2</sup> PROM からなる第 2 の記憶領域とを具備することを特徴とする。

#### (作用)

本発明により提供される半導体装置は、大容量で、かつ、電気的に書き替え可能な第 1 の記憶領域と、比較的小容量で、バッテリによるバックアップを必要とせず、かつ、部分的に（1 バイト～数バイト単位で）書き替えが可能な第 2 の記憶領域とを搭載しているので、比較的大容量であっても、部分的に書き替えることのないデータと、部分的に書き替えることのあるデータではあるが大容量を必要としないデータの両方を記憶するこ

とができる。

#### (実施例)

以下、第1図～第3図を参照して、本発明の実施例に係る半導体装置について説明する。

第1図は、本発明の一実施例に係わる半導体装置を示す断面図である。本実施例では、少なくとも2本以上のロードアドレスに接続されているセルの全部を同時に消去する第1の記憶領域を、Flash-E<sup>2</sup>PROM(一括消去型E<sup>2</sup>PROM)で、1つのロードアドレスに接続されているセルの全部または一部を消去する第2の記憶領域を、E<sup>2</sup>PROM(バイト消去可能な)で実現する。

第2図(a)～(c)は、第1図に示す半導体装置を製造工程順に示した断面図である。

第1図および第2図において、1は、E<sup>2</sup>PROM形成領域IとFlash-E<sup>2</sup>PROM形成領域IIとを区別する破線、2は、Flash-E<sup>2</sup>PROM形成領域IIと高耐圧MOS(Metal Oxide Semiconductor)トランジスタ形成領域IIIとを区別する破線、3は、高耐圧MOSトランジ

部106を消去が同時に消去される。

まず、第1図に示すように、p型半導体基板11上には、フィールド酸化膜12が形成され、領域I～領域IVに、それぞれ分離されている。まず、領域Iにおいては、p型半導体基板11上に第1のソース／ドレイン領域13が形成され、これら第1のソース／ドレイン領域13の相互間には、第2のソース／ドレイン領域14が形成されている。第2のソース／ドレイン領域14には、これと接してn型の拡散層14'が形成されている。また、第1のソース／ドレイン領域13の相互間と、第2のソース／ドレイン領域14の相互間に形成されるチャネル領域上には、厚さ300Åの第1のゲート酸化膜15が形成されている。ただし、第1のゲート酸化膜15の一部は、第2のソース／ドレイン領域14上で、厚さ100Åの第2のゲート酸化膜16で形成されるトンネル酸化膜となっている。これらの第1のゲート酸化膜15上とトンネル酸化膜上には、第1のポリシリコン膜により形成されたフローティングゲート17が設けられ、このフローテ

タ形成領域IIIと論理回路部形成領域IVとを区別する破線である。

第3図(a)、(b)は、それぞれ第1の記憶領域、第2の記憶領域の消去方法の概念を説明するものである。

同図(a)において100は1バイト分のデータを記憶する領域で、100'のような8個のメモリセルで構成される。101および102はロードアドレスである。一本のロードアドレスには、1バイト分のデータを記憶する100のような領域が数個接続されている。そして、多數のメモリセルが接続されたロードアドレスの並びとして、記憶領域が形成されている。第1の記憶領域においては、2本以上のロードアドレス101、102に接続されているセルの全部103が同時に消去される。

同図(b)において、104は1バイト分のデータを記憶する領域で、8個のメモリセルで構成される。105はロードアドレスである。第1の記憶領域とは異なり、第2の記憶領域においては、1本のロードアドレス105に接続されているセルの一

イングゲート17上には、厚さ500Åの第3のゲート酸化膜からなるPoly-Poly酸化膜(フローティングゲートとコントロールゲートとの間の酸化膜をいう。)18が形成され、更に、このPoly-Poly酸化膜18上には、第2のポリシリコン膜により形成されるコントロールゲート19が設けられている。この2層のゲートを持つトランジスタが、実際に電荷を蓄える働きをする。また、第1のゲート酸化膜15上には、第1のポリシリコン層により形成されたセレクトゲート20が設けられ、この部分がフローティングゲート17への電荷の注入を制御する働きを持つ選択トランジスタとなる。全面には、層間絶縁膜21が形成され、この層間絶縁膜21には、ソース／ドレイン領域に通じるコンタクトホールが設けられている。コンタクトホール内には、A<sub>1</sub>配線22が形成され、このA<sub>1</sub>配線22上と層間絶縁膜21上とには、表面保護のためのバッシャベーション膜23が形成されている。実際には、領域Iには上記の2つのトランジスタからなるメモリセルを複数含むメモリセルアレイ

が形成されている。

次に、領域Ⅱにおいては、p型半導体基板11上に第3のソース／ドレイン領域24が形成され、このソース／ドレイン領域24の相互間に形成されるチャネル領域上には、厚さ100Åの第2のゲート酸化膜16が形成されている。この第2のゲート酸化膜16上には、第1のポリシリコン層により形成されたフローティングゲート25が設けられ、このフローティングゲート25上には、厚さ500Åの第3のゲート酸化膜からなるP<sub>0</sub>1y-P<sub>0</sub>1y酸化膜26が形成されている。このP<sub>0</sub>1y-P<sub>0</sub>1y酸化膜26上と第2のゲート酸化膜16上とには、第2のポリシリコン層により形成されるコントロールゲート27が設けられている。また、全面には、層間絶縁膜21が形成され、この層間絶縁膜21には、ソース／ドレイン領域に通じるコンタクトホール設けられている。コンタクトホール内には、A<sub>2</sub>配線22が形成され、このA<sub>2</sub>配線22上と層間絶縁膜21上とには、表面保護のためのバッシャーション膜23が形成されている。実際には、

最後に、領域IVにおいては、p型半導体基板11上に、基板よりも高い不純物濃度の深い拡散層であるp<sup>+</sup>-ウェル32と、n-ウェル28とが形成され、p<sup>+</sup>-ウェル32中には、第6のソース／ドレイン領域33が、n-ウェル28中には、第7のソース／ドレイン領域34が形成されている。第6のソース／ドレイン領域33の相互間と、第7のソース／ドレイン領域34の相互間に形成されるチャネル領域上には厚さ250Åの第4のゲート酸化膜35が形成されており、この第4のゲート酸化膜35上には、論理回路部を形成するトランジスタのゲート電極36を、第1のポリシリコン層により設けている。全面には、層間絶縁膜21が形成され、この層間絶縁膜21には、ソース／ドレイン領域に通じるコンタクトホール設けられている。コンタクトホール内には、A<sub>2</sub>配線22が形成され、このA<sub>2</sub>配線22上と層間絶縁膜21上とには、表面保護のためのバッシャーション膜23が形成されている。

以上が、本発明の一実施例に係わる半導体装置の構造である。

領域Ⅲには上記の1つのトランジスタからなるメモリセルを複数含むメモリセルアレイが形成されている。

次に、領域Ⅳにおいては、p型半導体基板11上に、n型の深い拡散層であるn-ウェルと、第4のソース／ドレイン領域29が形成され、n-ウェル28中には、更に、第5のソース／ドレイン領域30が形成されている。これら、第4のソース／ドレイン領域29の相互間と、第5のソース／ドレイン領域30の相互間に形成されるチャネル領域上には厚さ300Åの第1のゲート酸化膜15上には、高耐圧MOSトランジスタのゲート電極31を、第1のポリシリコン層により形成している。また、全面には、層間絶縁膜21が形成され、この層間絶縁膜21には、ソース／ドレイン領域に通じるコンタクトホール設けられている。コンタクトホール内には、A<sub>2</sub>配線22が形成され、このA<sub>2</sub>配線22上と層間絶縁膜21上とには、表面保護のためのバッシャーション膜23が形成されている。

次に、本発明の一実施例に係わる半導体装置の製造方法について述べる。

まず、第2図(a)に示すように、p型半導体基板11上に、フォトリソグラフィー工程及び不純物イオン注入により、n-ウェル28、p<sup>+</sup>-ウェル32とシリコン酸化膜38とを形成する。この後、シリコン窒化膜37を素子領域を形成する部分にのみ堆積させ、それ以外のシリコン基板を10000Å酸化するいわゆる選択酸化法により、フィールド酸化膜12を形成する。また、素子領域間には、必要に応じてチャネルストップのためのイオン注入を行い(図示せず)、素子分離の耐圧を上げておく。

次に、同図(b)に示すように、シリコン窒化膜37とシリコン酸化膜38とを剥離した後、酸素雰囲気中で基板を酸化することにより、厚さ300Å第1のゲート酸化膜15を素子領域に形成する。これは領域Ⅲの高耐圧MOSトランジスタのゲート酸化膜及び領域ⅠのE<sup>2</sup>PROMセルのトンネル酸化膜以外のゲート酸化膜に用いられる部分で

ある。次に、領域Iにおける半導体基板11の所定の部分に対して、フォトレジストによるマスクを用いて、選択的にn-型の塗敷層14'を形成する。この後、E<sup>2</sup> PROMセルの第1のゲート酸化膜15の一部と領域IIの第1のゲート酸化膜15とをフッ酸系の溶液で剥離し、露出した半導体基板11を酸化することによりこの領域に100Åの薄い第2のゲート酸化膜16を形成する。これはE<sup>2</sup> PROMセルのトンネル酸化膜及びFlash-E<sup>2</sup> PROMセルのゲート酸化膜となるものである。

次に、同図(c)に示すように、第1のポリシリコン膜をCVD (Chemical Vapor Deposition)法により全面に堆積し、焼成をしてこのポリシリコン膜の導電性を増した後、セレクトゲート20と、Flash-E<sup>2</sup> PROMセルのフローティングゲート18と、高耐圧MOSトランジスタのゲート電極31とを形成するためにのRIE (Reactive Ion Etching)を行う。この際、領域IVの第1のポリシリコン膜17とその下の第1のゲート酸化膜15とを剥離する。次に、酸素雰囲気中で厚さ2

ジスタのゲート電極31と、論理回路部を構成するトランジスタのゲート電極36とをマスクにしてn型不純物をp型半導体基板11とp-ウェル32に対してイオン注入することにより、第1、第2、第3、第4、第6のソース/ドレイン領域13、14、24、29、33を形成する。また、高耐圧MOSトランジスタのゲート電極31と、論理回路部を構成するトランジスタのゲート電極36とをマスクにしてp型不純物をnウェル28に対してイオン注入することにより、第5、第7のソース/ドレイン領域30、34を形成する。

次に、第1図に示すように、全面に層間絶縁膜21を形成した後、この層間絶縁膜21の一部をエッチングして、第1及び、第3~第7のソース/ドレイン領域に通じるコンタクトホールを形成する。次に、スパッタリングによりコンタクトホール内部と層間絶縁膜21上とにAlを蒸着し、これを所望の形状にバーニングすることにより、Al配線22を形成する。最後に、表面保護のためのパッシベーション膜23を全面に形成する。

50Åの第4のゲート酸化膜35を形成し、領域IVの論理回路部を構成するトランジスタのゲート酸化膜とする。なお、この際、E<sup>2</sup> PROMセルとFlash-E<sup>2</sup> PROMセルとの第1のポリシリコン膜上15には、厚さ500Åの第3のポリシリコン酸化膜が形成される。後に、これはE<sup>2</sup> PROMセルのPoly-Poly酸化膜18とFlash-E<sup>2</sup> PROMセルのPoly-Poly酸化膜26となる。そして、第2のポリシリコン膜をCVD法により全面に堆積し、第1のポリシリコン膜と同様に焼成をしてこのポリシリコン膜の導電性を増す。この後、RIEすることにより、E<sup>2</sup> PROMセルのコントロールゲート19と、Poly-Poly酸化膜18と、フローティングゲート17と、Flash-E<sup>2</sup> PROMセルのコントロールゲート27と、論理回路部を構成するトランジスタのゲート電極36とを形成する。次に、E<sup>2</sup> PROMセルのコントロールゲート19とセレクトゲート20と、Flash-E<sup>2</sup> PROMセルのコントロールゲート27と、高耐圧MOSトラン

以上が本発明の一実施例に係わる半導体記憶装置の製造方法である。

Flash-E<sup>2</sup> PROMは、多数のセルを「一括」して消去するもので、特定の1ビットのみのを選択的に消去することはできないが、セル面積が比較的小さいため、大容量のプログラムメモリが実現可能で、パッテリによるバックアップを必要としない。第6図(a)(b)(c)は、それぞれ、同一デザインルール(1.5μ)で設計した場合のFlash-E<sup>2</sup> PROMセル、紫外線消去型EPROMセル、E<sup>2</sup> PROMセルの平面図を示す。同図(a)において、51は消去ゲート、52はフローティングゲート、53はコントロールゲート、54はフィールド酸化膜である。同図(b)において、55はフローティングゲート、56はコントロールゲート、57はフィールド酸化膜である。同図(c)において、58はセレクトゲート、59はフローティングゲート、60はコントロールゲート、61はフィールド酸化膜、62はトンネル酸化膜である。同図から、Flash-E<sup>2</sup> PRO

Mセルの面積は $36\mu^2$  ( $6\mu \times 6\mu$ ) で、紫外線消去型E PROMセルの面積と等しく、E<sup>2</sup> PROMセルの面積 $104\mu^2$  ( $13\mu \times 8\mu$ ) より小さく、大容量が必要なプログラムデータをFlash-E<sup>2</sup> PROMで実現することが高集積化に適していることが分かる。

また、E<sup>2</sup> PROMは、部分的に書き替えが可能であり、バッテリによるバックアップを必要としない。例えば、パルスを計測するような場合に、パルスのカウント値をE<sup>2</sup> PROMに記憶しておけば、電源を切った後でも、再び電源を入れれば以前のデータがそのまま保持されていて、その値に追加してカウントすることができる。また、何種類ものカウント値があり、そのうちの一つだけを書き替える必要がある場合には、Flash-E<sup>2</sup> PROMのような一括消去タイプのものは使用できない。このような場合、バイト消去・バイト書き込み可能なE<sup>2</sup> PROMが適している。

なお、プログラムメモリは、Flash-E<sup>2</sup> PROMに限られるものではなく、例えば、ブ

が必要なデータとを記憶可能で、かつ、バッテリによるバックアップを必要としない半導体装置を低コストで提供することができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例に係わる半導体装置の概念を示す断面図、第2図は、第1図に示した半導体装置を製造工程順に示した断面図、第3図は、~~第3図は~~ 第1の記憶領域および第2の記憶領域の消去方法の概念を説明する図、第4図は、ワンチップマイコンに本発明を適用した場合の平面図、第5図は、従来のワンチップマイコンの一例を示す平面図、第6図は、Flash-E<sup>2</sup> PROMセル、紫外線消去型E PROMセル、E<sup>2</sup> PROMセルを示す平面図である。

11…p型半導体基板、12…フィールド酸化膜、13…第1のソース／ドレイン領域、14…第2のソース／ドレイン領域、14'…n型拡散層、15…第1のゲート酸化膜、16…第2のゲート酸化膜、17…フローティングゲート、18…Poly-Poly酸化膜、19…コントロールゲート、20…セレク

ログラムデータ中のある一部分のみが非常に良く書き替えられる場合には、この部分をバイト消去・バイト書き込み可能なE<sup>2</sup> PROMに記憶してもよい。あるいは、数値データであっても殆ど書き替えられない場合には、プログラムデータとともにFlash-E<sup>2</sup> PROMに記憶させてもよい。

上記のような半導体装置においては、チップに紫外線を照射する必要がないため、安価なプラスチックパッケージに封入することができる。

本発明の一実施例に係るワンチップマイコンの平面図を第5図に示す。このワンチップマイコン80においては、コントローラ部81、CPU82、Flash-E<sup>2</sup> PROM83、E<sup>2</sup> PROM84、SRAM85が図のようにレイアウトされている。

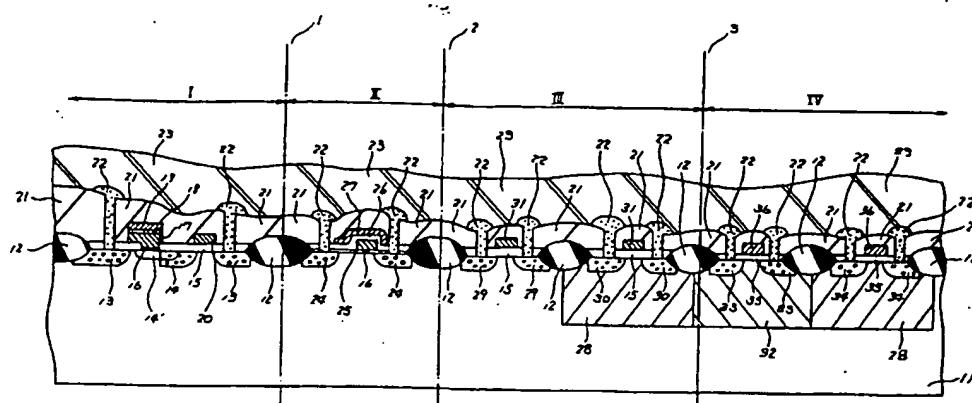
#### [発明の効果]

以上、説明したように本発明の半導体装置では、大容量で、部分的な（1バイト単位での）書き替えの必要がないデータと、比較的小容量で、部分的に（1バイト～数バイト単位で）書き替え

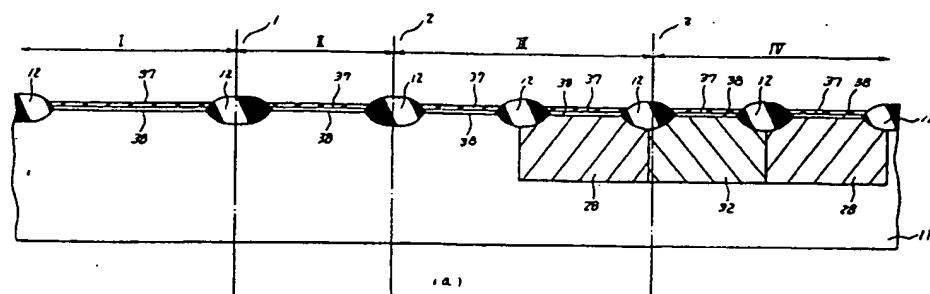
トゲート、21…A&配線、22…層間絶縁膜、23…バッファーション膜、24…第3のソース／ドレイン領域、25…フローティングゲート、26…Poly-Poly酸化膜、27…コントロールゲート、28…n-ウェル、29…第4のソース／ドレイン領域、30…第5のソース／ドレイン領域、31…ゲート電極、32…p-ウェル、33…第6のソース／ドレイン領域、34…第7のソース／ドレイン領域、35…第3のゲート酸化膜、36…ゲート電極。

代理人弁理士 則近 恵祐

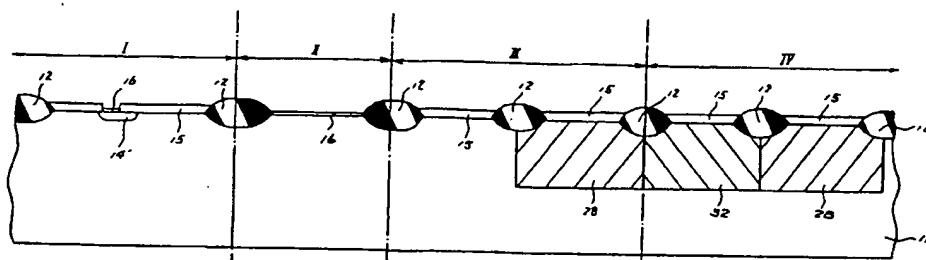
同 竹花 喜久男



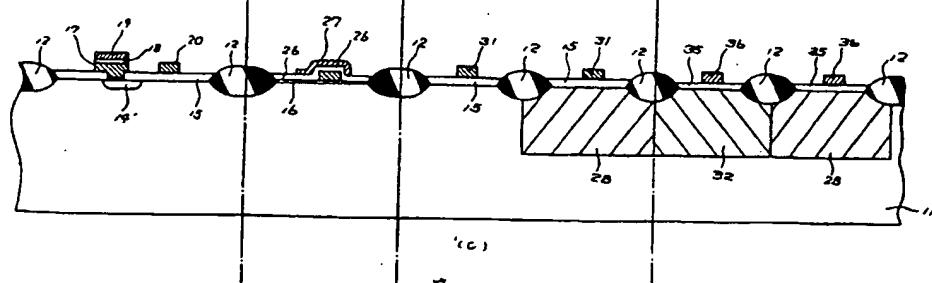
第四



第二四

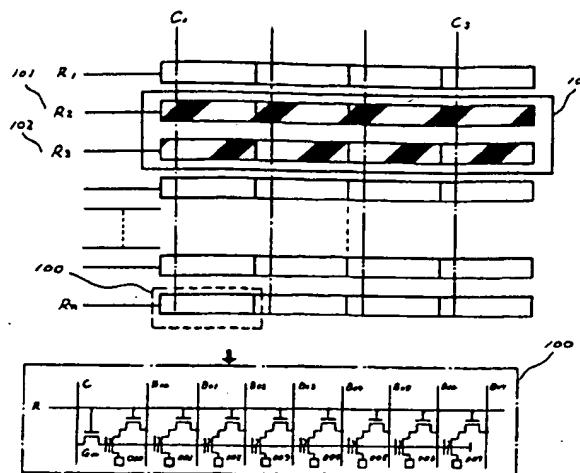


rb.

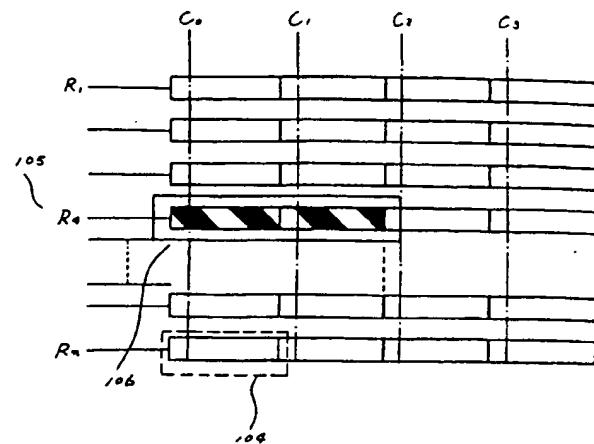


三

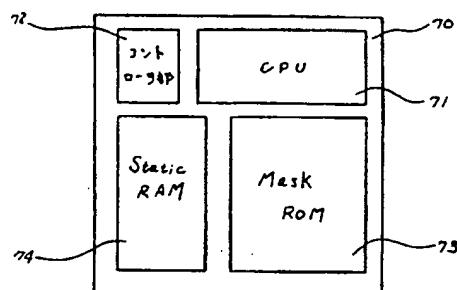
FH 008422



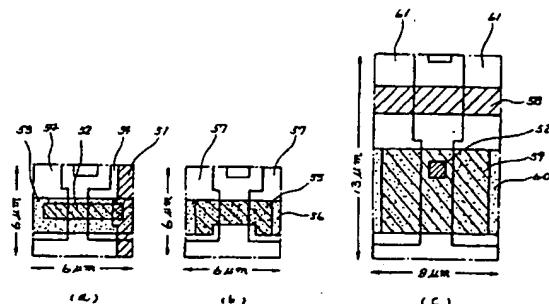
第3図(a)



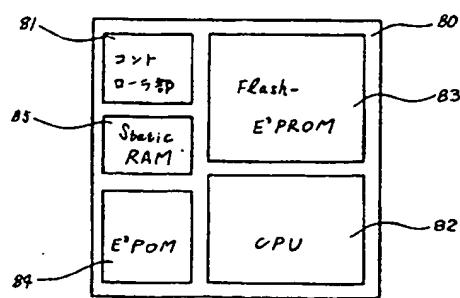
第3図(b)



第4図



第6図



第5図

FH 008423

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03228377 A

(43) Date of publication of application: 09 . 10 . 91

(51) Int. Cl      H01L 29/788  
                  H01L 27/04  
                  H01L 27/115  
                  H01L 29/792

(21) Application number: 02022123

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 02 . 02 . 90

(72) Inventor:  
YOSHIDA MASAYUKI  
SAEKI YUKIHIRO  
SHINADA KAZUYOSHI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To store a large volume of data requiring no partial rewriting and relatively small volume of data requiring partial rewriting by providing a first memory area for simultaneously erasing all of cells connected to two or more row addresses, and a second memory area for simultaneously erasing a part or all of cells connected to one row address.

CONSTITUTION: An area 100 for storing 1-byte date has 8 memory cells 100. Several areas for respectively storing 1-byte data are respectively connected to row addresses 101, 102. All cells 103 connected to two or more row addresses 101, 102 are simultaneously erased in the first memory area made of a Flash-E<sup>2</sup> PROM. On the other hand, an area 104 for storing 1-byte data similarly has 8 memory cells. However, in the second area made of the E<sup>2</sup>PROM different from the first area, parts 106 of the cells connected to one row address 105 are simultaneously erased.

COPYRIGHT: (C)1991,JPO&Japio

